

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Tadami MINE

Docket No. 2000_1067A

Serial No. 09/635,660

Filed August 10, 2000

NOISE REDUCTION CIRCUIT FOR CCD
OUTPUT SIGNAL

CLAIM OF PRIORITY UNDER 35 USC 119

Assistant Commissioner for Patents,
Washington, DC 20231

Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 11-231420, filed August 18, 1999, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

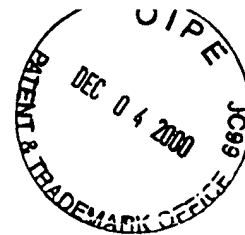
Respectfully submitted,

Tadami MINE

By Charles R. Watts
Charles R. Watts
Registration No. 33,142
Attorney for Applicant

CRW/asd
Washington, D.C. 20006
Telephone (202) 721-8200
Facsimile (202) 721-8250
December 4, 2000

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 8月18日

出願番号
Application Number:

平成11年特許願第231420号

出願人
Applicant(s):

松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3065139

【書類名】 特許願

【整理番号】 2054011138

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 峯 忠己

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ノイズ低減回路

【特許請求の範囲】

【請求項 1】 電荷結合素子の出力信号と同一周期の複数種類のパルス信号を出力するパルス発生回路と、前記電荷結合素子の出力信号と前記パルス発生回路の第 1 のパルス信号のうちレベルがより低い方の信号を選択して出力する第 1 の混合回路と、前記電荷結合素子の出力信号と前記パルス発生回路の第 2 のパルス信号のうちレベルがより低い方の信号を選択して出力する第 2 の混合回路と、前記第 2 の混合回路の混合信号を遅延させる遅延回路と、前記第 1 の混合回路の混合信号と前記遅延回路の遅延信号の差をとる差分回路とを備えていることを特徴とするノイズ低減回路。

【請求項 2】 前記パルス発生回路から前記第 1 の混合回路に与える第 1 のパルス信号のハイレベルの位相は前記電荷結合素子の出力信号の信号レベル期間に一部重なり、前記第 2 の混合回路に与える第 2 のパルス信号のハイレベルの位相は前記電荷結合素子の出力信号のフィードスルーレベル期間に重なるように設定してあることを特徴とする請求項 1 記載のノイズ低減回路。

【請求項 3】 電荷結合素子の出力信号を遅延させる遅延回路と、前記電荷結合素子の出力信号と同一周期のパルス信号を出力するパルス発生回路と、前記電荷結合素子の出力信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 1 の混合回路と、前記遅延回路の遅延信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 2 の混合回路と、前記第 1 の混合回路の混合信号と前記第 2 の混合回路の混合信号の差をとる差分回路とを備えていることを特徴とするノイズ低減回路。

【請求項 4】 電荷結合素子の出力信号を反転させる反転回路と、前記反転回路の反転信号を遅延させる遅延回路と、前記電荷結合素子の出力信号と同一周期のパルス信号を出力するパルス発生回路と、前記電荷結合素子の出力信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 1 の混合回路と、前記遅延回路の遅延信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 2 の混合回路と、前記

第 1 の混合回路の混合信号と前記第 2 の混合回路の混合信号の和をとる加算回路とを備えていることを特徴とするノイズ低減回路。

【請求項 5】 前記パルス発生回路のパルス信号のハイレベルの位相は前記電荷結合素子の出力信号の信号レベル期間に一部重なるように設定してあることを特徴とする請求項 3 または請求項 4 記載のノイズ低減回路。

【請求項 6】 前記遅延回路の遅延量は、前記電荷結合素子の出力信号の信号レベル期間に対して、前記遅延回路の遅延信号におけるフィードスルーレベル期間が重なるように設定されていることを特徴とする請求項 1 から請求項 5 までのいずれかに記載のノイズ低減回路。

【請求項 7】 前記電荷結合素子の出力信号は、リセットレベル期間、フィードスルーレベル期間および信号レベル期間の順で繰り返し生成されるようになっている請求項 1 から請求項 6 までのいずれかに記載のノイズ低減回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はノイズ低減回路に関するものであり、特に電荷結合素子（以下 CCD という）のノイズを低減するノイズ低減回路に関する。

【 0 0 0 2 】

【従来の技術】

CCD は、一般に撮像素子として用いられているが、従来の撮像管に比べて小型、軽量、低消費電力、高信頼性という特長があり、更に、図形ひずみや焼き付きがないなどの利点もある。このため、当初、家庭用 VTR 一体型カメラ等から採用され始め、近年では、高画質を要求される放送用カメラにまで広く使用されている。

【 0 0 0 3 】

ところで、このような高解像度化に際して問題となるのは、信号電荷量の低下に伴う感度の低下およびダイナミックレンジの低下である。このような問題を解決し、高解像度で高品質な画像を得るためにはノイズの低減化が不可欠である。この CCD のノイズとして支配的なものは、CCD 出力に繰り返し現れるフィー

ドスルーレベル期間と信号レベル期間とで相関があるリセットノイズや周波数に逆比例する $1/f$ ノイズ等である。

【0004】

これらのノイズの低減を目指して、様々なノイズ低減方法が提案されている。その中でも、遅延差ノイズ除去法は、特公平 5 - 9 9 8 7 号公報に詳しく記載されているが、ゲーティング回路を用いているため高域雑音の低域への折り返しが少なく、ノイズ低減効果の大きい有効な方法である。また、特開平 4 - 1 5 9 8 8 0 号公報に記載されているように非加算混合回路（以下 NAM 回路と記す）を用いた方法もある。

【0005】

図 8 は従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路の構成を示すブロック図である。このノイズ低減回路は、次のように構成されている。CCD（電荷結合素子）50 の出力端子が差分回路 56 の非反転入力端子（+）に接続されているとともに、遅延回路 54 の入力端子に接続され、遅延回路 54 の出力端子が差分回路 56 の反転入力端子（-）に接続されている。差分回路 56 の出力端子がゲート回路 58 の入力端子に接続され、ゲート回路 58 の制御入力端子にパルス発生回路 55 の出力端子が接続されている。ゲート回路 58 の出力端子はローパスフィルタ（LPF）57 の入力端子に接続されている。

【0006】

図 9 は図 8 のノイズ低減回路の動作を示すタイミングチャートであり、図 8 における各信号 X a ~ X f を示している。

【0007】

図 9（a）は、CCD 50 から出力される CCD 出力信号 X a の波形を示す。この CCD 出力信号 X a は、リセットレベル期間 r、フィードスルーレベル期間 t および信号レベル期間 v を順に繰り返す波形となっている。CCD 出力信号 X a において、網点で示すフィードスルーレベル期間 t におけるノイズ成分 N t と信号レベル期間 v におけるノイズ成分 N v とは相関性をもっている。

【0008】

遅延回路 54 は、CCD 50 からの CCD 出力信号 X a を入力して所定の遅延

時間 τ を遅延させ、その図 9 (b) に示す遅延信号 X b を差分回路 5 6 に出力する。遅延時間 τ は、CCD 出力信号 X a の信号レベル期間 v と遅延信号 X b のフィードスルーレベル期間 t とが重なるように設定されている。

【0 0 0 9】

CCD 5 0 の CCD 出力信号 X a は差分回路 5 6 の非反転入力端子 (+) に入力され、遅延回路 5 4 の遅延信号 X b は差分回路 5 6 の反転入力端子 (-) に入力される。差分回路 5 6 は、CCD 出力信号 X a と遅延信号 X b を入力して、両者の差分 ($X a - X b$) を演算し、その演算結果の図 9 (c) に示す差分信号 X c を出力する。

【0 0 1 0】

この差分回路 5 6 の差分信号 X c においては、図 9 (a) に示す CCD 出力信号 X a での信号レベル期間 v のうちの一部の期間 v' では、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 $N v$ とフィードスルーレベル期間 t におけるノイズ成分 $N t$ とが打ち消し合うことになって、ノイズ成分 $N t$ 、 $N v$ が除去されている。

【0 0 1 1】

図 9 (d) は、パルス発生回路 5 5 からゲート回路 5 8 に出力されるパルス信号 X d の波形を示す。このパルス信号 X d は、CCD 出力信号 X a と同一の周期をもち、差分信号 X c における期間 v' のみにおいてハイレベルとなるように設定されている。

【0 0 1 2】

図 9 (e) は、ゲート回路 5 8 からの出力信号 X e の波形を示している。すなわち、期間 v' において、パルス信号 X d がハイレベルとなって、ゲート回路 5 8 が開くため、ゲート回路 5 8 に入力されてきた期間 v' での差分信号 X c が出力される。この期間 v' での差分信号 X c にはノイズ成分は含まれておらず、したがって、ゲート回路 5 8 からの出力信号 X e にもノイズ成分は含まれていない。

【0 0 1 3】

ローパスフィルタ 5 7 は、ゲート回路 5 8 からの出力信号 X e を入力して、不

要な高域成分を除去して平均化し、図 9 (f) に示す最終の出力信号 X_f として出力する。

【0014】

図 10 は NAM 回路（非加算混合回路）を用いた方法のノイズ低減回路の構成を示すブロック図である。CCD 60 の出力端子は差分回路 66 の非反転入力端子（+）に接続されているとともに、第 1 の遅延回路 64 a の入力端子に接続され、第 1 の遅延回路 64 a の出力端子は差分回路 66 の反転入力端子（-）に接続されている。差分回路 66 の出力端子は第 1 の NAM 回路 61 の一方の入力端子に接続され、第 1 の NAM 回路 61 の他方の入力端子にはパルス発生回路 65 の出力端子が接続されている。第 1 の NAM 回路 61 の出力端子は第 2 の遅延回路 64 b の入力端子と第 2 の NAM 回路 62 の一方の入力端子に接続され、第 2 の遅延回路 64 b の出力端子は第 2 の NAM 回路 62 の他方の入力端子に接続されている。第 2 の NAM 回路 62 の出力端子はローパスフィルタ 67 の入力端子に接続されている。

【0015】

図 11 は図 10 のノイズ低減回路の動作を示すタイミングチャートであり、図 10 における各信号 $Y_a \sim Y_h$ を示している。

【0016】

図 11 (a) は、CCD 60 から出力される CCD 出力信号 Y_a の波形を示す。この CCD 出力信号 Y_a は、リセットレベル期間 r 、フィードスルーレベル期間 t および信号レベル期間 v を順に繰り返す波形となっている。CCD 出力信号 Y_a において、網点で示すフィードスルーレベル期間 t におけるノイズ成分 N_t と信号レベル期間 v におけるノイズ成分 N_v とは相関性をもっている。

【0017】

第 1 の遅延回路 64 a は、CCD 60 からの CCD 出力信号 Y_a を入力して所定の遅延時間 τ を遅延させ、図 11 (b) に示す遅延信号 Y_b を差分回路 66 に出力する。遅延時間 τ は、CCD 出力信号 Y_a の信号レベル期間 v と遅延信号 Y_b のフィードスルーレベル期間 t とが重なるように設定されている。

【0018】

CCD 60のCCD出力信号Y aは差分回路66の非反転入力端子(+)に入力され、第1の遅延回路64aの遅延信号Y bは差分回路66の反転入力端子(-)に入力される。差分回路66は、CCD出力信号Y aと遅延信号Y bを入力して、両者の差分($Y a - Y b$)を演算し、その演算結果の図11(c)に示す差分信号Y cを出力する。この差分回路66の差分信号Y cの形態は、図9(c)のものと同様であり、図11(a)に示すCCD出力信号Y aでの信号レベル期間vのうちの一部の期間v'では、互いに相関性をもっている信号レベル期間vにおけるノイズ成分N vとフィードスルーレベル期間tにおけるノイズ成分N tとが打ち消し合うことになって、ノイズ成分N t, N vが除去されている。

【0019】

図11(d)は、パルス発生回路65から第1のNAM回路61に出力されるパルス信号Y dの波形を示す。このパルス信号Y dは、CCD出力信号Y aと同一の周期をもち、期間v'以外の期間のみにおいてハイレベルとなるように設定されている。

【0020】

パルス信号Y dのピークツウピーク値B'は、差分信号Y cのピークツウピーク値A'よりも大きく設定する必要があるが、差分信号Y cのピークツウピーク値A'はCCD出力信号Y aのピークツウピーク値Aの2倍であるから、パルス信号Y dのピークツウピーク値B'は、CCD出力信号Y aのピークツウピーク値Aの2倍よりも大きなものに設定されている。したがって、パルス信号Y dのハイレベルは差分信号Y cの最大値よりも高くなり、パルス信号Y dのローレベルは差分信号Y cの最小値よりも低くなる。

【0021】

第1のNAM回路61は、差分信号Y cとパルス信号Y dを入力し、CCD出力信号Y aのリセットレベル期間r、フィードスルーレベル期間tおよび信号レベル期間vのいずれにおいても、差分信号Y cとパルス信号Y dのうちレベルがより低い方の信号を選択して出力する。したがって、第1のNAM回路61からの混合信号Y eは、図11(e)に示すような波形となる。この第1のNAM回

路 6 1 の混合信号 Y_e の波形は、図 1 1 (a) に示す CCD 出力信号 Y_a の信号レベル期間 v のうちの一部の期間 v' においては、図 1 1 (c) に示す差分信号 Y_c の波形と同じであり、期間 v' 以外の期間においては、図 1 1 (d) に示すパルス信号 Y_d の波形と置換された波形となる。第 1 の NAM 回路 6 1 の混合信号 Y_e は、第 2 の遅延回路 6 4 b と第 2 の NAM 回路 6 2 に出力される。

【 0 0 2 2 】

第 2 の遅延回路 6 4 b は、CCD 6 0 の周期の 2 分の 1 だけ混合信号 Y_e を遅延して、図 1 1 (f) に示す遅延信号 Y_f を第 2 の NAM 回路 6 2 に出力する。第 2 の NAM 回路 6 2 は、混合信号 Y_e と遅延信号 Y_f を入力し、CCD 出力信号 Y_a のリセットレベル期間 r 、フィードスルーレベル期間 t および信号レベル期間 v のいずれにおいても、混合信号 Y_e と遅延信号 Y_f のうちレベルがより低い方の信号を選択して出力する。したがって、第 2 の NAM 回路 6 2 からの混合信号 Y_g は、図 1 1 (g) に示すような波形となる。この第 2 の NAM 回路 6 2 の混合信号 Y_g の波形は、混合信号 Y_e のハイレベルあるいは同じことだが遅延信号 Y_f のハイレベルを含んだものとなっている。

【 0 0 2 3 】

ローパスフィルタ 6 7 は、第 2 の NAM 回路 6 2 からの混合信号 Y_g を入力して、不要な高域成分を除去して平均化し、図 1 1 (h) に示す最終の出力信号 Y_h として出力する。

【 0 0 2 4 】

【発明が解決しようとする課題】

しかしながら、図 8 に示す遅延差ノイズ除去法を用いたノイズ低減回路では、CCD の高画素化が進み、1 画素の周期が短くなるのに伴って、ゲート回路 5 8 に使用するスイッチング回路も広帯域化が必要となり、十分なノイズ低減効果の実現が困難になるという不都合がある。

【 0 0 2 5 】

これに対し、図 1 0 に示す NAM 回路を用いた方法では、スイッチング動作を行わないため、CCD の高画素化に伴い、ノイズ低減回路の広帯域化が必要になっても、確実なノイズ低減効果が得られるという利点がある。

【0026】

しかし、上記いずれの場合においても、CCDの高画素化に伴いノイズ低減回路の広帯域化が必要となり、消費電力が増大するという不都合がある。つまり、図9(a)、図11(a)に示すリセットレベル期間rの振幅はCCD50, 60の高画素化に伴い、1画素の周期が短くなるにつれて大きくなる。このため、CCDの出力信号のピークツウピーク値Aは大きくなる。

【0027】

従来のノイズ低減回路において使用される差分回路56, 66のダイナミックレンジは図9(c)、図11(c)から明らかなように、少なくともAの2倍以上は必要となり、消費電力が増大する。また、差分回路56の後段のゲート回路58や、差分回路66の後段の第1のNAM回路61および第2のNAM回路62についても同様にAの2倍以上のダイナミックレンジが必要となり、消費電力が増大するという不都合がある。さらに、図10におけるパルス発生回路65としても、パルス信号Ydのピークツウピーク値が大きく、その消費電力も増大するという課題もある。

【0028】

本発明は上記した課題の解決を図るべく創作したものであって、高画素のCCDに対しても低消費電力で十分なノイズの低減効果が得られるノイズ低減回路を提供することを目的としている。

【0029】

【課題を解決するための手段】

本発明にかかわるノイズ低減回路は、パルス発生回路において電荷結合素子の出力信号と同一周期の複数種類のパルス信号を出力させ、NAM回路（非加算混合回路）のようにレベルがより低い方の信号を選択して出力する混合回路として、第1の混合回路と第2の混合回路とを用い、第1の混合回路において電荷結合素子の出力信号とパルス発生回路の第1のパルス信号のうちレベルがより低い方の信号を選択させ、また、第2の混合回路において電荷結合素子の出力信号とパルス発生回路の第2のパルス信号のうちレベルがより低い方の信号を選択させ、さらに、遅延回路によって第2の混合回路の混合信号を遅延させた上で、差分回

路において第 1 の混合回路の混合信号と遅延回路の遅延信号の差をとるように構成したものである。この構成によると、次のような作用がある。すなわち、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺することになるため、電荷結合素子の出力信号にのっているノイズを低減することができるのであるが、特に、差分をとる前に、電荷結合素子の出力信号に対して第 1 および第 2 のパルス信号との間でそれぞれレベルがより低い方の信号を選択するという処理を与えているので、パルス信号のピークツウピーク値を小さくすることができ、また、特に、電荷結合素子の高画素化に伴って画素周期が短くなっても、差分回路、混合回路（NAM 回路）、遅延回路のダイナミックレンジを小さくしてよく、これらパルス発生回路、差分回路、混合回路、遅延回路のそれぞれにおいて低消費電力化を図ることができる。

【 0 0 3 0 】

また、本発明にかかわる別のノイズ低減回路は、遅延回路において電荷結合素子の出力信号を遅延させ、パルス発生回路において電荷結合素子の出力信号と同一周期の 1 種類のパルス信号を出力させ、NAM 回路（非加算混合回路）のようにレベルがより低い方の信号を選択して出力する混合回路として、第 1 の混合回路と第 2 の混合回路とを用い、第 1 の混合回路において電荷結合素子の出力信号とパルス発生回路のパルス信号のうちレベルがより低い方の信号を選択させ、また、第 2 の混合回路において遅延回路の遅延信号とパルス発生回路のパルス信号のうちレベルがより低い方の信号を選択させた上で、差分回路において第 1 の混合回路の混合信号と第 2 の混合回路の混合信号の差をとるように構成したものである。この構成によると、次のような作用がある。すなわち、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺することになるため、電荷結合素子の出力信号にのっているノイズを低減することができるのであるが、特に、差分をとる前に、電荷結合素子の出力信号とその遅延信号に対してそれぞれパルス信号との間でレベルがより低い方の信号を選択するという処理を与えているので、パルス信号のピークツウピーク値を小さくすることができ、また、特に、電荷結合素子の高画素化に伴って画素周期が短くなっても、差分回路、混合回路（NAM 回路）のダイナミックレンジを小さくして

よく、これらパルス発生回路、差分回路、混合回路のそれぞれにおいて低消費電力化を図ることができる。さらには、パルス発生回路が出力するパルス信号が 1 種類ですむため、回路を簡素化することができ、一層の低消費電力化を図ることができる。

【 0 0 3 1 】

また、本発明にかかわるさらに別のノイズ低減回路は、反転回路において電荷結合素子の出力信号を正負反転させ、遅延回路において反転回路の反転信号を遅延させ、パルス発生回路において電荷結合素子の出力信号と同一周期の 1 種類のパルス信号を出力させ、NAM 回路（非加算混合回路）のようにレベルがより低い方の信号を選択して出力する混合回路として、第 1 の混合回路と第 2 の混合回路とを用い、第 1 の混合回路において電荷結合素子の出力信号とパルス発生回路のパルス信号のうちレベルがより低い方の信号を選択させ、また、第 2 の混合回路において遅延回路の遅延信号とパルス発生回路のパルス信号のうちレベルがより低い方の信号を選択させた上で、加算回路において第 1 の混合回路の混合信号と第 2 の混合回路の混合信号の和をとるように構成したものである。この構成によると、次のような作用がある。すなわち、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺することになるため、電荷結合素子の出力信号にのっているノイズを低減することができるのであるが、特に、電荷結合素子の出力信号とその反転後の遅延信号に対してそれぞれパルス信号との間でレベルがより低い方の信号を選択するという処理を与えた上で、その選択による 2 つの混合信号を加算しているので、電荷結合素子の高画素化に伴って画素周期が短くなっても、加算回路、混合回路（NAM 回路）のダイナミックレンジを小さくしてよく、これらパルス発生回路、加算回路、混合回路のそれぞれにおいて低消費電力化を図ることができる。さらには、パルス発生回路が出力するパルス信号が 1 種類ですむため、回路を簡素化することができ、一層の低消費電力化を図ることができる。とりわけ、パルス発生回路によるパルス信号のピークツウピーク値を十分に小さくすることができるため、電荷結合素子の高画素化に伴って画素周期が短くなっても、このパルス発生回路において大幅な低消費電力化を図ることができる。

【 0 0 3 2 】

【実施の形態】

本願第 1 の発明のノイズ低減回路は、電荷結合素子の出力信号と同一周期の複数種類のパルス信号を出力するパルス発生回路と、前記電荷結合素子の出力信号と前記パルス発生回路の第 1 のパルス信号のうちレベルがより低い方の信号を選択して出力する第 1 の混合回路と、前記電荷結合素子の出力信号と前記パルス発生回路の第 2 のパルス信号のうちレベルがより低い方の信号を選択して出力する第 2 の混合回路と、前記第 2 の混合回路の混合信号を遅延させる遅延回路と、前記第 1 の混合回路の混合信号と前記遅延回路の遅延信号の差をとる差分回路とを備えていることを特徴とするものである。この構成によると、次のような作用がある。すなわち、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺することになるため、電荷結合素子の出力信号にのっているノイズを低減することができるのであるが、特に、差分をとる前に、電荷結合素子の出力信号に対して第 1 および第 2 のパルス信号との間でそれぞれレベルがより低い方の信号を選択するという処理を与えているので、パルス信号のピークツウピーク値を小さくすることができ、また、特に、電荷結合素子の高画素化に伴って画素周期が短くなっても、差分回路、混合回路（NAM 回路）、遅延回路のダイナミックレンジを小さくしてよく、これらパルス発生回路、差分回路、混合回路、遅延回路のそれぞれにおいて低消費電力化を図ることができる。

【 0 0 3 3 】

本願第 2 の発明のノイズ低減回路は、上記の本願第 1 の発明において、前記パルス発生回路から前記第 1 の混合回路に与える第 1 のパルス信号のハイレベルの位相は前記電荷結合素子の出力信号の信号レベル期間に一部重なり、前記第 2 の混合回路に与える第 2 のパルス信号のハイレベルの位相は前記電荷結合素子の出力信号のフィードスルーレベル期間に重なるように設定したものである。この構成によると、上記で説明した、電荷結合素子の出力信号にのっているノイズを低減することの前提としての、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺するという処理を適正なものとする

ることができる。

【 0 0 3 4 】

本願第 3 の発明のノイズ低減回路は、電荷結合素子の出力信号を遅延させる遅延回路と、前記電荷結合素子の出力信号と同一周期のパルス信号を出力するパルス発生回路と、前記電荷結合素子の出力信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 1 の混合回路と、前記遅延回路の遅延信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 2 の混合回路と、前記第 1 の混合回路の混合信号と前記第 2 の混合回路の混合信号の差をとる差分回路とを備えていることを特徴とするものである。この構成によると、次のような作用がある。すなわち、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺することになるため、電荷結合素子の出力信号にのっているノイズを低減することができるのであるが、特に、差分をとる前に、電荷結合素子の出力信号とその遅延信号に対してそれぞれパルス信号との間でレベルがより低い方の信号を選択するという処理を与えているので、パルス信号のピークツウピーク値を小さくすることができ、また、特に、電荷結合素子の高画素化に伴って画素周期が短くなっても、差分回路、混合回路（NAM回路）のダイナミックレンジを小さくしてよく、これらパルス発生回路、差分回路、混合回路のそれぞれにおいて低消費電力化を図ることができる。さらには、パルス発生回路が出力するパルス信号が 1 種類ですむため、回路を簡素化することができ、一層の低消費電力化を図ることができる。

【 0 0 3 5 】

本願第 4 の発明のノイズ低減回路は、電荷結合素子の出力信号を反転させる反転回路と、前記反転回路の反転信号を遅延させる遅延回路と、前記電荷結合素子の出力信号と同一周期のパルス信号を出力するパルス発生回路と、前記電荷結合素子の出力信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 1 の混合回路と、前記遅延回路の遅延信号と前記パルス発生回路のパルス信号のうちレベルがより低い方の信号を選択して出力する第 2 の混合回路と、前記第 1 の混合回路の混合信号と前記第 2 の混合回路の混合信

号の和をとる加算回路とを備えていることを特徴とするものである。この構成によると、次のような作用がある。すなわち、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺することになるため、電荷結合素子の出力信号にのっているノイズを低減することができるのであるが、特に、電荷結合素子の出力信号とその反転後の遅延信号に対してそれぞれパルス信号との間でレベルがより低い方の信号を選択するという処理を与えた上で、その選択による 2 つの混合信号を加算しているので、電荷結合素子の高画素化に伴って画素周期が短くなっても、加算回路、混合回路（NAM 回路）のダイナミックレンジを小さくしてよく、これらパルス発生回路、加算回路、混合回路のそれぞれにおいて低消費電力化を図ることができる。さらには、パルス発生回路が出力するパルス信号が 1 種類ですむため、回路を簡素化することができ、一層の低消費電力化を図ることができる。とりわけ、パルス発生回路によるパルス信号のピークツウピーク値を十分に小さくすることができるため、電荷結合素子の高画素化に伴って画素周期が短くなっても、このパルス発生回路において大幅な低消費電力化を図ることができる。

【 0 0 3 6 】

本願第 5 の発明のノイズ低減回路は、上記の本願第 3 または第 4 の発明において、前記パルス発生回路のパルス信号のハイレベルの位相を前記電荷結合素子の出力信号の信号レベル期間に一部重なるように設定したものである。この構成によると、上記で説明した、電荷結合素子の出力信号にのっているノイズを低減することの前提としての、信号レベル期間におけるノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺するという処理を適正なものとすることができる。

【 0 0 3 7 】

本願第 6 の発明のノイズ低減回路は、上記の本願第 1 ～第 5 の発明において、前記遅延回路の遅延量は、前記電荷結合素子の出力信号の信号レベル期間に対して、前記遅延回路の遅延信号におけるフィードスルーレベル期間が重なるように設定したものである。この構成によると、上記で説明した、電荷結合素子の出力信号にのっているノイズを低減することの前提としての、信号レベル期間におけ

るノイズ成分をフィードスルーレベル期間におけるノイズ成分によって相殺するという処理を適正なものとする事ができる。

【 0 0 3 8 】

本願第 7 の発明のノイズ低減回路は、上記の本願第 1 ～第 6 の発明において、前記電荷結合素子の出力信号は、リセットレベル期間、フィードスルーレベル期間および信号レベル期間の順で繰り返し生成されるようになっているような出力信号を用いるものである。これは、電荷結合素子の出力信号の形態をより具体的に記述するものである。

【 0 0 3 9 】

以下、本発明にかかわるノイズ低減回路の具体的な実施の形態を図面に基づいて詳細に説明する。

【 0 0 4 0 】

〔実施の形態 1〕

以下、本発明の実施の形態 1 のノイズ低減回路について図 1、図 2 および図 7 を用いて説明する。

【 0 0 4 1 】

図 1 は本実施の形態 1 におけるノイズ低減回路の構成の一例を示すブロック図である。CCD（電荷結合素子）10 の出力端子は第 1 のNAM回路（非加算混合回路）11 の一方の入力端子および第 2 のNAM回路 12 の一方の入力端子に接続されており、第 1 のNAM回路 11 のもう一方の入力端子および第 2 のNAM回路 12 のもう一方の入力端子にはパルス発生回路 15 の出力端子が接続されている。パルス発生回路 15 は、CCD 10 の出力信号 S a の周期と同一周期の 2 種類のパルス信号 S b、S c を出力するように構成されている。これら 2 種類のパルス信号 S b、S c の違いについては、図 2 を用いて後述する。

【 0 0 4 2 】

これら 2 種類のパルス信号 S b、S c のうち、第 1 のパルス信号 S b が第 1 のNAM回路 11 に入力され、第 2 のパルス信号 S c が第 2 のNAM回路 12 に入力されるようになっている。第 1 のNAM回路 11 は、入力される CCD 出力信号 S a と第 1 のパルス信号 S b のうち低い方のレベルの信号を出力するようにな

っている。第 1 の NAM 回路 1 1 の出力信号を S_e とする。また、第 2 の NAM 回路 1 2 も同様に、入力される CCD 出力信号 S_a と第 2 のパルス信号 S_c のうち低い方のレベルの信号を出力するようになっている。第 2 の NAM 回路 1 2 から出力される混合信号を S_d とする。

【 0 0 4 3 】

両 NAM 回路 1 1, 1 2 が低い方のレベルの信号を出力するようにする点については、図 7 を用いて後述する。

【 0 0 4 4 】

第 2 の NAM 回路 1 2 の出力端子は遅延回路 1 4 の入力端子に接続され、遅延回路 1 4 の出力端子は差分回路 1 6 の一方の入力端子である反転入力端子 (-) に接続されている。すなわち、第 2 の NAM 回路 1 2 の混合信号 S_d が遅延回路 1 4 に入力されるようになっており、遅延回路 1 4 による遅延信号 S_f が差分回路 1 6 の反転入力端子 (-) に入力されるようになっている。第 1 の NAM 回路 1 1 の出力端子は差分回路 1 6 の他方の入力端子である非反転入力端子 (+) に接続されている。すなわち、第 1 の NAM 回路 1 1 の混合信号 S_e が差分回路 1 6 の非反転入力端子 (+) に入力されるようになっている。

【 0 0 4 5 】

差分回路 1 6 は、第 1 の NAM 回路 1 1 から非反転入力端子 (+) に入力した混合信号 S_e と遅延回路 1 4 から反転入力端子 (-) に入力した遅延信号 S_f との差分を、 $S_e - S_f = S_g$ のように演算して、その演算結果の差分信号 S_g を出力するようになっている。差分回路 1 6 の出力端子はローパスフィルタ (L P F) 1 7 の入力端子に接続され、ローパスフィルタ 1 7 は不要な高域成分を除去した出力信号 S_h を出力するようになっている。

【 0 0 4 6 】

図 7 は第 1 の NAM 回路 1 1 や第 2 の NAM 回路 1 2 の具体的な回路構成を示す回路図である。直流電源 V_{cc} に定電流源 I_a が接続され、第 1 の PNP 型トランジスタ Q_1 と第 2 の PNP 型トランジスタ Q_2 のエミッタどうしが接続されて定電流源 I_a および出力端子 V_{out} に接続され、両トランジスタ Q_1 , Q_2 のコレクタどうしが接続されてグランド GND に接続されている。第 1 の PNP 型ト

ランジスタQ 1のベースが第1の入力端子V in 1となっており、第2のPNP型トランジスタQ 2のベースが第2の入力端子V in 2となっている。

【0047】

第1の入力端子V in 1にCCD 10からのCCD出力信号S aが入力され、第2の入力端子V in 2にパルス発生回路15からの第1のパルス信号S bが入力されるものとする。CCD出力信号S aの電位が第1のパルス信号S bの電位よりも低レベルのときは、第1のPNP型トランジスタQ 1がエミッタフォロワとして働き、第2のPNP型トランジスタQ 2がオフ状態となるため、出力端子V outからは、第1のPNP型トランジスタQ 1のベースである第1の入力端子V in 1に入力されるCCD出力信号S aの電位がそのまま現れる。逆に、第1のパルス信号S bがCCD出力信号S aよりも低レベルのときは、第2のPNP型トランジスタQ 2がエミッタフォロワとして働き、第1のPNP型トランジスタQ 1がオフ状態となるため、出力端子V outからは、第2のPNP型トランジスタQ 2のベースである第2の入力端子V in 2に入力される第1のパルス信号S bの電位がそのまま現れる。

【0048】

以上は、第1のNAM回路11についての説明であるが、第2のPNP型トランジスタQ 2の第2の入力端子V in 2にパルス発生回路15からの第2のパルス信号S cが入力される第2のNAM回路12についても同様である。すなわち、これら第1および第2のNAM回路11, 12は、2つの信号が入力されたときに、低いレベルの方の信号を選択して出力するようになっている。

【0049】

次に、図2に示すタイミングチャートを用いて本実施の形態1のノイズ低減回路の動作を説明する。

【0050】

図2(a)は、CCD 10から出力されるCCD出力信号S aの波形を示す。このCCD出力信号S aは、リセットレベル期間r、フィードスルーレベル期間tおよび信号レベル期間vを順に繰り返す波形となっている。CCD出力信号S aにおいて、網点で示すフィードスルーレベル期間tにおけるノイズ成分N tと

信号レベル期間 v におけるノイズ成分 N_v とは相関性をもっている。

【0051】

図2 (b) は、パルス発生回路 15 から第1のNAM回路 11に出力される第1のパルス信号 S_b の波形を示す。この第1のパルス信号 S_b は、CCD出力信号 S_a と同一の周期をもち、CCD出力信号 S_a における信号レベル期間 v の一部の期間 v' のみにおいてハイレベルとなるように設定されている。

【0052】

図2 (c) は、パルス発生回路 15 から第2のNAM回路 12に出力される第2のパルス信号 S_c の波形を示す。この第2のパルス信号 S_c は、CCD出力信号 S_a と同一の周期をもち、CCD出力信号 S_a におけるフィードスルーレベル期間 t の一部の期間 t' のみにおいてハイレベルとなるように設定されている。

第1のパルス信号 S_b および第2のパルス信号 S_c のピークツウピーク値 B は、CCD出力信号 S_a のピークツウピーク値 A よりも大きなものに設定されている。したがって、第1のパルス信号 S_b および第2のパルス信号 S_c のハイレベルはCCD出力信号 S_a の最大値よりも高くなり、第1のパルス信号 S_b および第2のパルス信号 S_c のローレベルはCCD出力信号 S_a の最小値よりも低くなる。

【0053】

第1のNAM回路 11は、CCD出力信号 S_a と第1のパルス信号 S_b を入力し、CCD出力信号 S_a のリセットレベル期間 r 、フィードスルーレベル期間 t および信号レベル期間 v のいずれにおいても、CCD出力信号 S_a と第1のパルス信号 S_b のうちレベルがより低い方の信号を選択して出力する。したがって、第1のNAM回路 11からの混合信号 S_e は、図2 (e) に示すような波形となる。この第1のNAM回路 11の混合信号 S_e の波形は、図2 (a) に示すCCD出力信号 S_a の信号レベル期間 v のうちの一部の期間 v' においては、そのCCD出力信号 S_a の波形と同じであり、期間 v' 以外の期間においては、図2 (b) に示す第1のパルス信号 S_b の波形と置換された波形となる。第1のNAM回路 11の混合信号 S_e は、差分回路 16の非反転入力端子 (+) に出力される。

【 0 0 5 4 】

第 2 の NAM 回路 1 2 は、CCD 出力信号 S_a と第 2 のパルス信号 S_c を入力し、CCD 出力信号 S_a のリセットレベル期間 r 、フィードスルーレベル期間 t および信号レベル期間 v のいずれにおいても、CCD 出力信号 S_a と第 2 のパルス信号 S_c のうちレベルがより低い方の信号を選択して出力する。したがって、第 2 の NAM 回路 1 2 からの混合信号 S_d は、図 2 (d) に示すような波形となる。この第 1 の NAM 回路 1 1 の混合信号 S_d の波形は、図 2 (a) に示す CCD 出力信号 S_a のフィードスルーレベル期間 t のうちの一部の期間 t' においては、その CCD 出力信号 S_a の波形と同じであり、期間 t' 以外の期間においては、図 2 (c) に示す第 2 のパルス信号 S_c の波形と置換された波形となる。

【 0 0 5 5 】

遅延回路 1 4 は、第 2 の NAM 回路 1 2 からの混合信号 S_d を入力して所定の遅延時間 τ を遅延させ、その遅延信号 S_f を差分回路 1 6 の反転入力端子 (-) に出力する。遅延時間 τ は、図 2 (d) に示す第 2 の NAM 回路 1 2 の混合信号 S_d の期間 t' が図 2 (e) に示す第 1 の NAM 回路 1 1 の混合信号 S_e の期間 v' までシフトするための値をもつ遅延時間 τ に設定されている。換言すれば、CCD 出力信号 S_a の信号レベル期間 v に対して、遅延回路 1 4 の遅延信号 S_f におけるフィードスルーレベル期間 t が重なるような遅延時間 τ に設定されている。その結果、そのシフトに対応する図 2 (f) に示す遅延回路 1 4 からの遅延信号 S_f の期間 t'' は、第 1 の NAM 回路 1 1 の混合信号 S_e の期間 v' と丁度重なることになる。

【 0 0 5 6 】

差分回路 1 6 は、期間 v' と期間 t'' とが丁度重なった第 1 の NAM 回路 1 1 の混合信号 S_e と遅延回路 1 4 からの遅延信号 S_f を入力して、両者の差分 ($S_e - S_f$) を演算し、その演算結果の図 2 (g) に示す出力信号 S_g を出力する。この差分回路 1 6 の出力信号 S_g においては、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 N_v とフィードスルーレベル期間 t におけるノイズ成分 N_t とが打ち消し合うことになって、出力信号 S_g ではノイズ成分 N_t , N_v が除去されている。

【0057】

ローパスフィルタ17は、差分回路16からの出力信号S_gを入力して、不要な高域成分を除去して平均化し、図2(h)に示す最終の出力信号S_hとして出力する。

【0058】

以上のようにして、本実施の形態1のノイズ低減回路によれば、次のような利点を得られる。

【0059】

従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路と比べると、ゲート回路を用いておらず、スイッチング動作を行わないため、CCD10の高画素化に伴って画素周期が短くなっても、ノイズの低減を容易にかつ確実に行うことができる。また、差分回路16のダイナミックレンジを、CCD出力信号S_aのピークツウピーク値Aの2分の1以下にすることができるため、差分回路16において低消費電力化を図ることができる。

【0060】

また、NAM回路を用いた従来の技術のノイズ低減回路と比べると、パルス発生回路15から出力するパルス信号S_b、S_cのピークツウピーク値Bをより小さくすることができるため、CCD10の高画素化に伴って画素周期が短くなっても、パルス発生回路15において低消費電力化を図ることができる。

【0061】

さらに、NAM回路11、12に入力される信号のピークツウピーク値が従来の技術の場合の2分の1になるため、CCD10の高画素化に伴って画素周期が短くなっても、NAM回路11、12のダイナミックレンジを小さくすることができ、NAM回路11、12において低消費電力化を図ることができる。

【0062】

さらに、遅延回路14のダイナミックレンジをCCD出力信号S_aのピークツウピーク値Aの2分の1以下に小さくすることができるため、CCD10の高画素化に伴って画素周期が短くなっても、遅延回路14においても低消費電力化を図ることができる。

【0 0 6 3】

〔実施の形態 2〕

以下、本発明の実施の形態 2 のノイズ低減回路について図 3 および図 4 および図 7 を用いて説明する。

【0 0 6 4】

図 3 は本実施の形態 2 におけるノイズ低減回路の構成の一例を示すブロック図である。CCD 2 0 の出力端子は第 1 の NAM 回路 2 1 の一方の入力端子および遅延回路 2 4 の入力端子に接続され、遅延回路 2 4 の出力端子は第 2 の NAM 回路 2 2 の一方の入力端子に接続されている。遅延回路 2 4 は、CCD 2 0 の出力信号 T a を入力して遅延し、その遅延信号 T b を第 2 の NAM 回路 2 2 に入力するようになっている。第 1 の NAM 回路 2 1 のもう一方の入力端子および第 2 の NAM 回路 2 2 のもう一方の入力端子にはパルス発生回路 2 5 の出力端子が接続されている。パルス発生回路 2 5 は、CCD 1 の出力信号 T a の周期と同一周期の 1 種類のパルス信号 T c を出力するように構成されている。

【0 0 6 5】

第 1 の NAM 回路 2 1 は、入力される CCD 出力信号 T a とパルス信号 T c のうち低い方のレベルの信号を出力するようになっている。第 1 の NAM 回路 2 1 の出力信号を T e とする。また、第 2 の NAM 回路 2 2 も同様に、入力される遅延信号 T b とパルス信号 T c のうち低い方のレベルの信号を出力するようになっている。第 2 の NAM 回路 2 2 の出力信号を T d とする。

【0 0 6 6】

低い方のレベルの信号を出力するための両 NAM 回路 2 1, 2 2 の回路構成は、実施の形態 1 の場合と同様に図 7 のようになっている。

【0 0 6 7】

第 2 の NAM 回路 2 2 の出力端子は差分回路 2 6 の一方の入力端子である反転入力端子 (-) に接続されている。すなわち、第 2 の NAM 回路 2 2 の混合信号 T d が差分回路 2 6 の反転入力端子 (-) に入力されるようになっている。第 1 の NAM 回路 2 1 の出力端子は差分回路 2 6 の他方の入力端子である非反転入力端子 (+) に接続されている。すなわち、第 1 の NAM 回路 2 1 の混合信号 T e

が差分回路 2 6 の非反転入力端子 (+) に入力されるようになっている。

【0068】

差分回路 2 6 は、第 1 の NAM 回路 2 1 から非反転入力端子 (+) に入力した混合信号 T_e と第 2 の NAM 回路 2 2 から反転入力端子 (-) に入力した混合信号 T_d との差分を、 $T_e - T_d = T_f$ のように演算して、その演算結果の差分信号 T_f を出力するようになっている。差分回路 2 6 の出力端子はローパスフィルタ (LPF) 2 7 の入力端子に接続され、ローパスフィルタ 2 7 は不要な高域成分を除去した出力信号 T_g を出力するようになっている。

【0069】

次に、図 4 に示すタイミングチャートを用いて本実施の形態 2 のノイズ低減回路の動作を説明する。

【0070】

図 4 (a) は、CCD 2 0 から出力される CCD 出力信号 T_a の波形を示す。この CCD 出力信号 T_a は、リセットレベル期間 r 、フィードスルーレベル期間 t および信号レベル期間 v を順に繰り返す波形となっている。CCD 出力信号 T_a において、網点で示すフィードスルーレベル期間 t におけるノイズ成分 N_t と信号レベル期間 v におけるノイズ成分 N_v とは相関性をもっている。

【0071】

遅延回路 2 4 は、CCD 2 0 からの CCD 出力信号 T_a を入力して所定の遅延時間 τ を遅延させ、その遅延信号 T_b を第 2 の NAM 回路 2 2 に出力する。遅延時間 τ は、CCD 出力信号 T_a の信号レベル期間 v と遅延信号 T_b のフィードスルーレベル期間 t とが重なるように設定されている。

【0072】

図 4 (c) は、パルス発生回路 2 5 から第 1 および第 2 の NAM 回路 2 1, 2 2 に出力されるパルス信号 T_c の波形を示す。このパルス信号 T_c は、CCD 出力信号 T_a と同一の周期をもち、CCD 出力信号 T_a における信号レベル期間 v の一部の期間 v' のみにおいてハイレベルとなるように設定されている。

【0073】

パルス信号 T_c のピークツウピーク値 B は、CCD 出力信号 T_a のピークツウ

ピーク値Aよりも大きなものに設定されている。したがって、パルス信号T cのハイレベルはCCD出力信号T aの最大値よりも高くなり、そのローレベルはCCD出力信号T aの最小値よりも低くなる。

【0074】

第1のNAM回路21は、CCD出力信号T aとパルス信号T cを入力し、CCD出力信号T aのリセットレベル期間r、フィードスルーレベル期間tおよび信号レベル期間vのいずれにおいても、CCD出力信号T aとパルス信号T cのうちレベルがより低い方の信号を選択して出力する。したがって、第1のNAM回路21からの混合信号T eは、図4(e)に示すような波形となる。この第1のNAM回路21の混合信号T eの波形は、図4(a)に示すCCD出力信号T aの信号レベル期間vのうちの一部の期間v'においては、そのCCD出力信号T aの波形と同じであり、期間v'以外の期間においては、図4(c)に示すパルス信号T cの波形と置換された波形となる。第1のNAM回路21の混合信号T eは、差分回路26の非反転入力端子(+)に出力される。

【0075】

第2のNAM回路22は、遅延信号T bとパルス信号T cを入力し、CCD出力信号T aのリセットレベル期間r、フィードスルーレベル期間tおよび信号レベル期間vのいずれにおいても、遅延信号T bとパルス信号T cのうちレベルがより低い方の信号を選択して出力する。したがって、第2のNAM回路22からの混合信号T dは、図4(d)に示すような波形となる。この第2のNAM回路22の混合信号T dの波形は、図4(b)に示す遅延信号T bの期間v'においては、その遅延信号T bの波形と同じであり、期間v'以外の期間においては、図4(c)に示すパルス信号T cの波形と置換された波形となる。

【0076】

なお、遅延回路24における遅延時間 τ は、図4(b)に示す遅延信号T bの期間v' については図4(d)に示す第2のNAM回路22の混合信号T dの期間v' が図4(e)に示す第1のNAM回路21の混合信号T eの期間v' と重なるように、CCD出力信号T aをシフトして遅延信号T bとするための値をもつ遅延時間 τ に設定されている。その結果、図4(d)に示す第2のNAM回路2

2からの混合信号 T_d の期間 v' は、図4(e)に示す第1のNAM回路21の混合信号 T_e の期間 v' と丁度重なることになる。

【0077】

差分回路26は、期間 v' が丁度重なった第1のNAM回路21の混合信号 T_e と第2のNAM回路22からの混合信号 T_d を入力して、両者の差分($T_e - S_d$)を演算し、その演算結果の図4(f)に示す差分信号 T_f を出力する。この差分回路26の差分信号 T_f においては、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 N_v とフィードスルーレベル期間 t におけるノイズ成分 N_t とが打ち消し合うことになって、差分信号 T_f ではノイズ成分 N_t 、 N_v が除去されている。

【0078】

ローパスフィルタ27は、差分回路26からの差分信号 T_f を入力して、不要な高域成分を除去して平均化し、図4(g)に示す最終の出力信号 T_g として出力する。

【0079】

以上のようにして、本実施の形態2のノイズ低減回路によれば、次のような利点を得られる。

【0080】

従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路と比べると、ゲート回路を用いておらず、スイッチング動作を行わないため、CCD20の高画素化に伴って画素周期が短くなっても、ノイズの低減を容易にかつ確実に行うことができる。また、差分回路26のダイナミックレンジを、CCD出力信号 T_a のピークツウピーク値 A の2分の1以下にすることができるため、差分回路26において低消費電力化を図ることができる。

【0081】

また、NAM回路を用いた従来の技術のノイズ低減回路と比べると、パルス発生回路25から出力するパルス信号 T_c のピークツウピーク値 B をより小さくすることができるため、CCD20の高画素化に伴って画素周期が短くなっても、パルス発生回路25において低消費電力化を図ることができる。

【 0 0 8 2 】

さらに、NAM回路 2 1, 2 2 に入力される信号のピークツウピーク値が従来の技術の場合の 2 分の 1 になるため、CCD 2 0 の高画素化に伴って画素周期が短くなっても、NAM回路 2 1, 2 2 のダイナミックレンジを小さくすることができ、NAM回路 2 1, 2 2 において低消費電力化を図ることができる。

【 0 0 8 3 】

加えて、実施の形態 1 に比べると、パルス発生回路 2 5 より出力するパルス信号 T c が 1 種類ですむため、さらに回路を簡素化することができ、低消費電力化を図ることができるという効果がある。

【 0 0 8 4 】

〔実施の形態 3〕

以下、本発明の実施の形態 3 のノイズ低減回路について図 5 および図 6 および図 7 を用いて説明する。

【 0 0 8 5 】

図 5 は本実施の形態 3 におけるノイズ低減回路の構成の一例を示すブロック図である。CCD 3 0 の出力端子は第 1 の NAM 回路 3 1 の一方の入力端子および反転回路 3 3 の入力端子に接続され、反転回路 3 3 の出力端子は遅延回路 3 4 の入力端子に接続され、遅延回路 3 4 の出力端子は第 2 の NAM 回路 3 2 の一方の入力端子に接続されている。反転回路 3 3 は、CCD 3 0 の出力信号 U a を正負反転して、反転信号 U b として出力するようになっている。遅延回路 3 4 は、反転回路 3 3 の反転信号 U b を入力して遅延し、その遅延信号 U c を第 2 の NAM 回路 3 2 に出力するようになっている。第 1 の NAM 回路 3 1 のもう一方の入力端子および第 2 の NAM 回路 3 2 のもう一方の入力端子にはパルス発生回路 3 5 の出力端子が接続されている。パルス発生回路 3 5 は、CCD 3 0 の出力信号 U a の周期と同一周期の 1 種類のパルス信号 U d を出力するように構成されている。

【 0 0 8 6 】

第 1 の NAM 回路 3 1 は、入力される CCD 出力信号 U a とパルス信号 U d のうち低い方のレベルの信号を出力するようになっている。第 1 の NAM 回路 3 1

の出力信号を U_f とする。また、第 2 の NAM 回路 3 2 も同様に、入力される遅延信号 U_c とパルス信号 U_d のうち低い方のレベルの信号を出力するようになっている。第 2 の NAM 回路 3 2 の出力信号を U_e とする。

【 0 0 8 7 】

低い方のレベルの信号を出力するための両 NAM 回路 3 1, 3 2 の回路構成は、実施の形態 1 の場合と同様に図 7 のようになっている。

【 0 0 8 8 】

第 2 の NAM 回路 3 2 の出力端子は加算回路 3 6 の一方の入力端子に接続されている。すなわち、第 2 の NAM 回路 3 2 の混合信号 U_e が加算回路 3 6 に入力されるようになっている。第 1 の NAM 回路 3 1 の出力端子は加算回路 3 6 の他方の入力端子に接続されている。すなわち、第 1 の NAM 回路 3 1 の混合信号 U_f が加算回路 3 6 に入力されるようになっている。

【 0 0 8 9 】

加算回路 3 6 は、第 1 の NAM 回路 3 1 から入力した混合信号 U_f と第 2 の NAM 回路 3 2 から入力した遅延信号 U_e との和を、 $U_f + U_e = U_g$ のように演算して、その演算結果の加算信号 U_g を出力するようになっている。加算回路 3 6 の出力端子はローパスフィルタ (LPF) 3 7 の入力端子に接続され、ローパスフィルタ 3 7 は不要な高域成分を除去した出力信号 U_h を出力するようになっている。

【 0 0 9 0 】

次に、図 6 に示すタイミングチャートを用いて本実施の形態 3 のノイズ低減回路の動作を説明する。

【 0 0 9 1 】

図 6 (a) は、CCD 3 0 から出力される CCD 出力信号 U_a の波形を示す。この CCD 出力信号 U_a は、リセットレベル期間 r 、フィードスルーレベル期間 t および信号レベル期間 v を順に繰り返す波形となっている。CCD 出力信号 U_a において、網点で示すフィードスルーレベル期間 t におけるノイズ成分 N_t と信号レベル期間 v におけるノイズ成分 N_v とは相関性をもっている。

【 0 0 9 2 】

反転回路 3 3 は、CCD 3 0 からの CCD 出力信号 U_a を反転して、図 6 (b) に示す波形の反転信号 U_b を生成し、その反転信号 U_b を遅延回路 3 4 に出力する。遅延回路 3 4 は、反転回路 3 3 からの反転信号 U_b を入力して所定の遅延時間 τ を遅延させて、図 6 (c) に示す遅延信号 U_c を生成し、その遅延信号 U_c を第 2 の NAM 回路 3 2 に出力する。遅延時間 τ は、CCD 出力信号 U_a の信号レベル期間 v と遅延信号 U_c のフィードスルーレベル期間 t とが重なるように設定されている。

【 0 0 9 3 】

図 6 (d) は、パルス発生回路 3 5 から第 1 および第 2 の NAM 回路 3 1, 3 2 に出力されるパルス信号 U_d の波形を示す。このパルス信号 U_d は、CCD 出力信号 U_a と同一の周期をもち、CCD 出力信号 U_a における信号レベル期間 v の一部の期間 v' のみにおいてハイレベルとなるように設定されている。

【 0 0 9 4 】

パルス信号 U_d のピークツウピーク値 C は、CCD 出力信号 U_a のピークツウピーク値 A よりもかなり小さなものに設定されている。すなわち、パルス信号 U_d のピークツウピーク値 C は、少なくとも CCD 出力信号 U_a に含まれるノイズ成分の最大値 D の 2 倍よりも大きく設定されている。つまり、図 6 (d) に示すピークツウピーク値 C は、 $C > 2 \times D$ となるように設定されている。

【 0 0 9 5 】

第 1 の NAM 回路 3 1 は、CCD 出力信号 U_a とパルス信号 U_d を入力し、CCD 出力信号 U_a のリセットレベル期間 r 、フィードスルーレベル期間 t および信号レベル期間 v のいずれにおいても、CCD 出力信号 U_a とパルス信号 U_d のうちレベルがより低い方の信号を選択して出力する。したがって、第 1 の NAM 回路 3 1 からの混合信号 U_f は、図 4 (f) に示すような波形となる。この第 1 の NAM 回路 3 1 の混合信号 U_f の波形は、図 4 (a) に示す CCD 出力信号 U_a の信号レベル期間 v のうちの一部の期間 v' においては、その CCD 出力信号 U_a の波形と同じであり、期間 v' 以外の期間においては、図 4 (d) に示すパルス信号 U_d の波形と置換された波形となる。第 1 の NAM 回路 3 1 の混合信号

U f は、加算回路 3 6 の入力端子に出力される。

【 0 0 9 6 】

第 2 の N A M 回路 3 2 は、遅延信号 U c とパルス信号 U d を入力し、C C D 出力信号 U a のリセットレベル期間 r、フィードスルーレベル期間 t および信号レベル期間 v のいずれにおいても、遅延信号 U c とパルス信号 U d のうちレベルがより低い方の信号を選択して出力する。したがって、第 2 の N A M 回路 3 2 からの混合信号 U e は、図 4 (e) に示すような波形となる。この第 2 の N A M 回路 3 2 の混合信号 U e の波形は、図 4 (c) に示す遅延信号 U c の期間 v' においては、その遅延信号 U c の波形と同じであり、期間 v' 以外の期間においては、図 4 (d) に示すパルス信号 U d の波形と置換された波形となる。

【 0 0 9 7 】

なお、遅延回路 3 4 における遅延時間 τ は、図 6 (c) に示す遅延信号 U c の期間 v' ひいては図 6 (e) に示す第 2 の N A M 回路 3 2 の混合信号 U e の期間 v' が図 6 (f) に示す第 1 の N A M 回路 3 1 の混合信号 U f の期間 v' と重なるように、反転信号 U b をシフトして遅延信号 U c とするための値をもつ遅延時間 τ に設定されている。その結果、図 6 (e) に示す第 2 の N A M 回路 3 2 からの混合信号 U e の期間 v' は、第 1 の N A M 回路 3 1 の混合信号 U f の期間 v' と丁度重なることになる。

【 0 0 9 8 】

加算回路 3 6 は、期間 v' が丁度重なった第 1 の N A M 回路 3 1 の混合信号 U f と第 2 の N A M 回路 3 2 からの混合信号 U e を入力して、両者の和 ($U e + U f$) を演算し、その演算結果の図 6 (g) に示す加算信号 U g を出力する。この加算回路 3 6 の加算信号 U g においては、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 N v とフィードスルーレベル期間 t におけるノイズ成分 N t とが打ち消し合うことになって、加算信号 U g ではノイズ成分 N t, N v が除去されている。

【 0 0 9 9 】

ローパスフィルタ 3 7 は、加算回路 3 6 からの加算信号 U g を入力して、不要な高域成分を除去して平均化し、図 6 (h) に示す最終の出力信号 U h として出

力する。

【0100】

以上のようにして、本実施の形態3のノイズ低減回路によれば、次のような利点を得られる。

【0101】

従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路と比べると、ゲート回路を用いておらず、スイッチング動作を行わないため、CCD30の高画素化に伴って画素周期が短くなっても、ノイズの低減を容易にかつ確実に行うことができる。また、加算回路36のダイナミックレンジを、CCD出力信号Uaのピークツウピーク値Aの2分の1以下にすることができるため、加算回路36において低消費電力化を図ることができる。

【0102】

さらに、NAM回路31、32に入力される信号のピークツウピーク値が従来の技術の場合の2分の1になるため、CCD30の高画素化に伴って画素周期が短くなっても、NAM回路31、32のダイナミックレンジを小さくすることができ、NAM回路31、32において低消費電力化を図ることができる。

【0103】

加えて、実施の形態1に比べると、パルス発生回路35より出力するパルス信号Udが1種類ですむため、さらに回路を簡素化することができ、低消費電力化を図ることができるという効果がある。

【0104】

特に、パルス発生回路35から出力するパルス信号Udのピークツウピーク値Cを十分に小さくすることができるため、CCD30の高画素化に伴って画素周期が短くなっても、パルス発生回路35において大幅な低消費電力化を図ることができる。

【0105】

【発明の効果】

以上述べたように、本発明によれば、電荷結合素子の出力信号にのっているノイズを低減できるのはもちろん、差分をとる前に、電荷結合素子の出力信号に対

してパルス信号との間でそれぞれレベルがより低い方の信号を選択するという処理を与えた上で、その選択による2つの混合信号の差分をとったり和を求めたりしているので、パルス信号のピークツウピーク値を小さくすることができ、また、特に、電荷結合素子の高画素化に伴って画素周期が短くなっても、差分回路や加算回路、混合回路（NAM回路）、遅延回路のダイナミックレンジを小さくしてよく、これらパルス発生回路、差分回路または加算回路、混合回路、遅延回路のそれぞれにおいて低消費電力化を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 におけるノイズ低減回路の構成を示すブロック図

【図 2】 本発明の実施の形態 1 におけるノイズ低減回路の動作を示すタイミングチャート

【図 3】 本発明の実施の形態 2 におけるノイズ低減回路の構成を示すブロック図

【図 4】 本発明の実施の形態 2 におけるノイズ低減回路の動作を示すタイミングチャート

【図 5】 本発明の実施の形態 3 におけるノイズ低減回路の構成を示すブロック図

【図 6】 本発明の実施の形態 3 におけるノイズ低減回路の動作を示すタイミングチャート

【図 7】 本発明の実施の形態 1 ～ 3 における第 1 の NAM 回路、第 2 の NAM 回路の具体的な回路構成を示す回路図

【図 8】 従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路の構成を示すブロック図

【図 9】 従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路の動作を示すタイミングチャート

【図 1 0】 従来の技術の NAM 回路を用いたノイズ低減回路の構成を示すブロック図

【図 1 1】 従来の技術のNAM回路を用いたノイズ低減回路の動作を示すタイミングチャート

【符号の説明】

1 0, 2 0, 3 0…CCD（電荷結合素子）

1 1, 2 1, 3 1…第 1 のNAM回路

1 2, 2 2, 3 2…第 2 のNAM回路

1 4, 2 4, 3 4…遅延回路

1 5, 2 5, 3 5…パルス発生回路

1 6, 2 6…差分回路

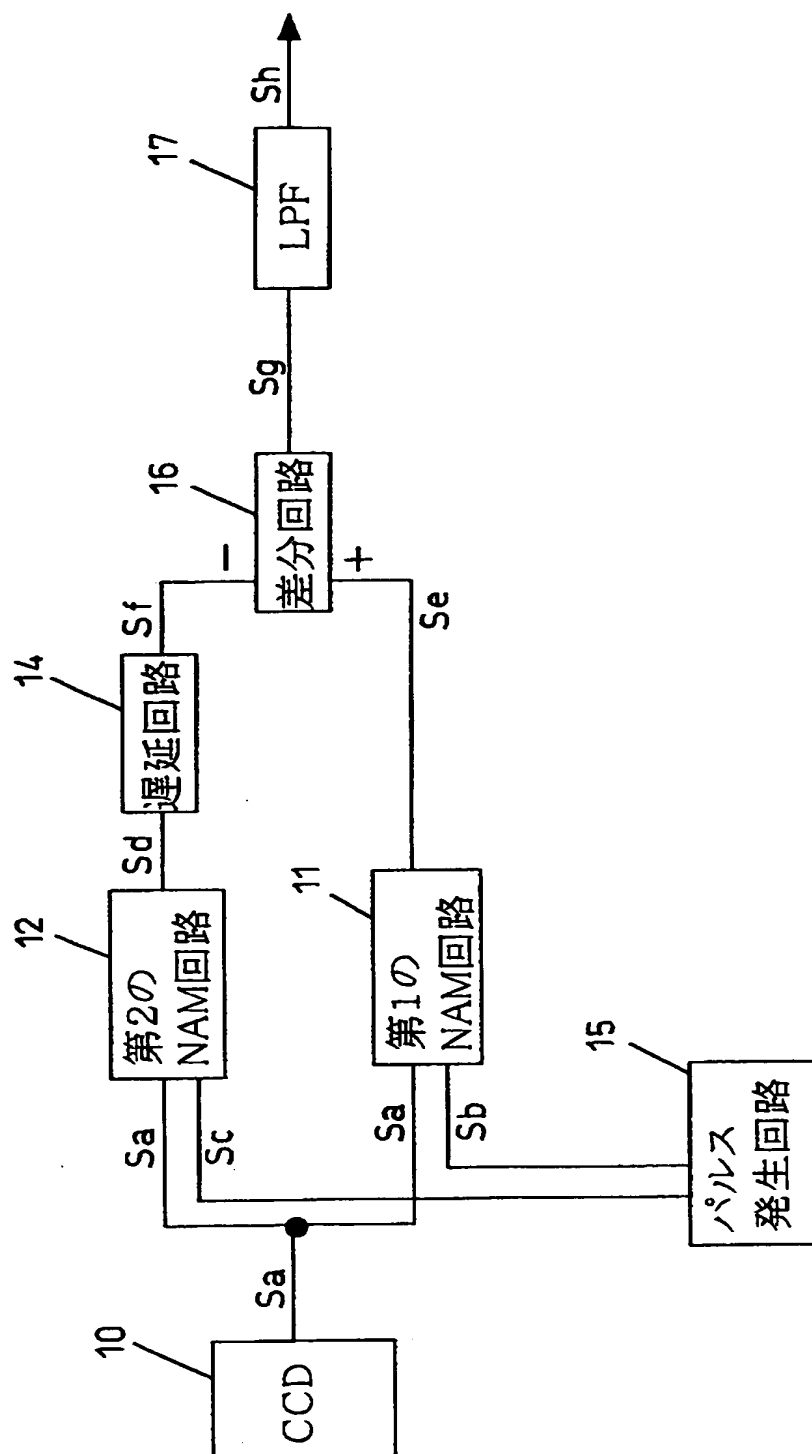
1 7, 2 7, 3 7…ローパスフィルタ

3 3…反転回路

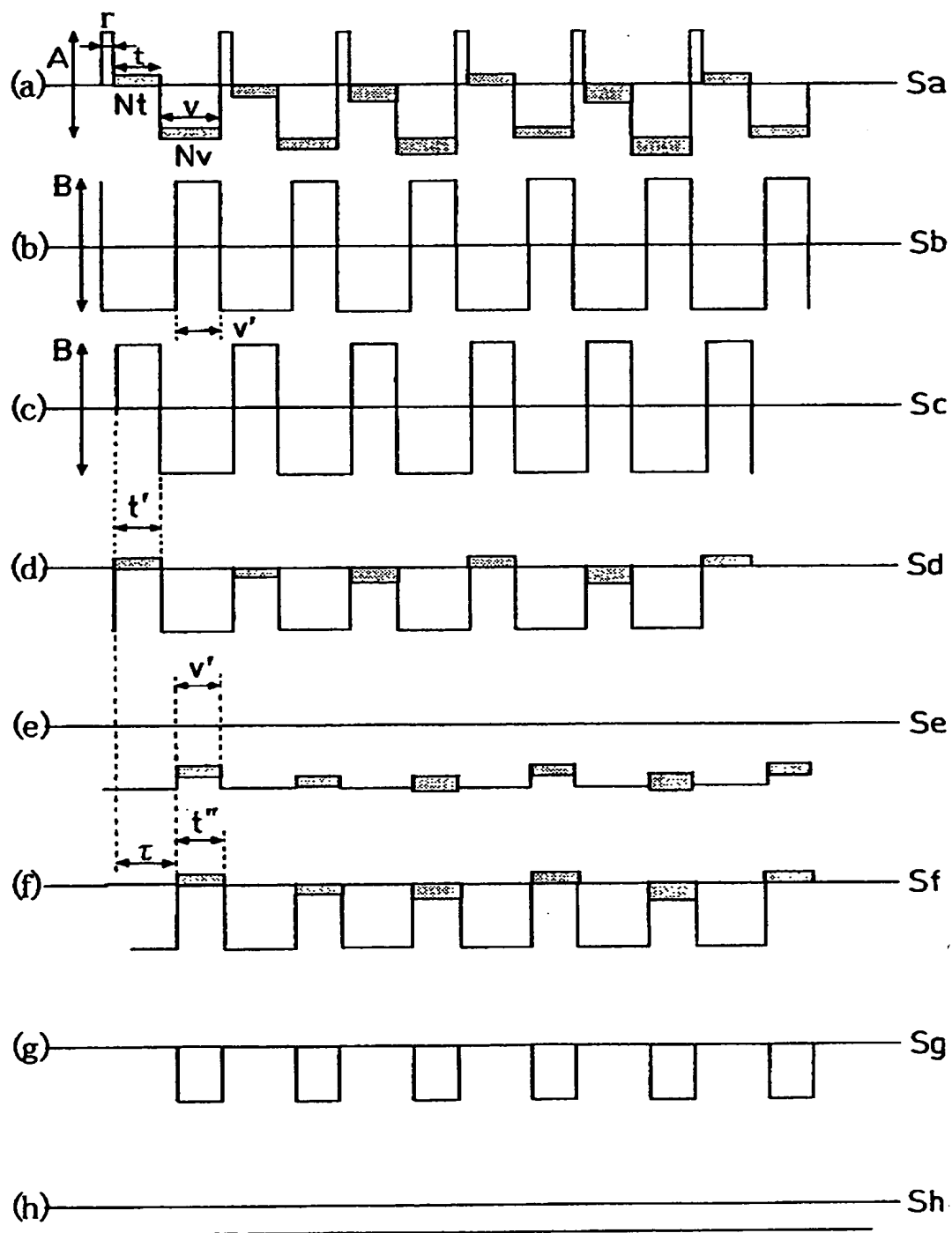
3 6…加算回路

【書類名】 図面

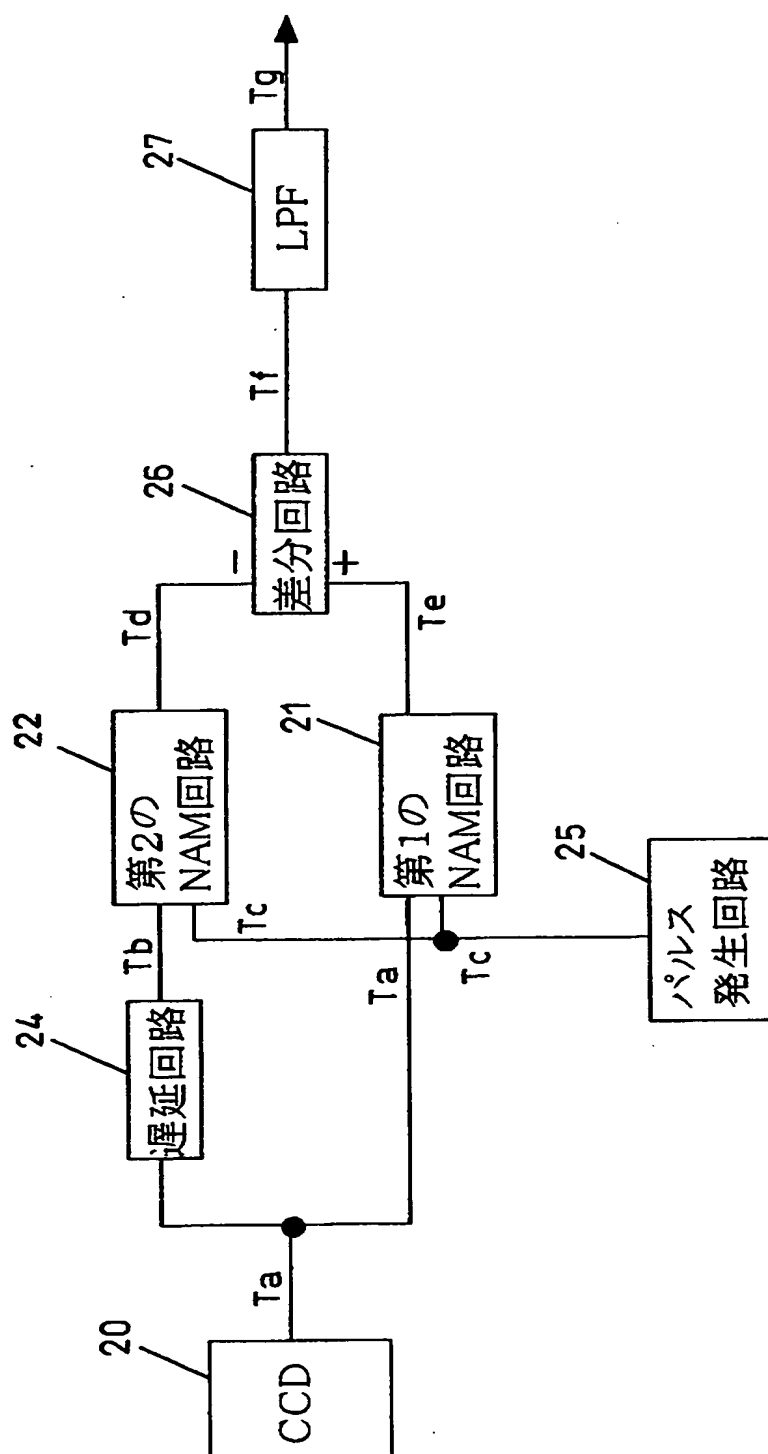
【図 1】



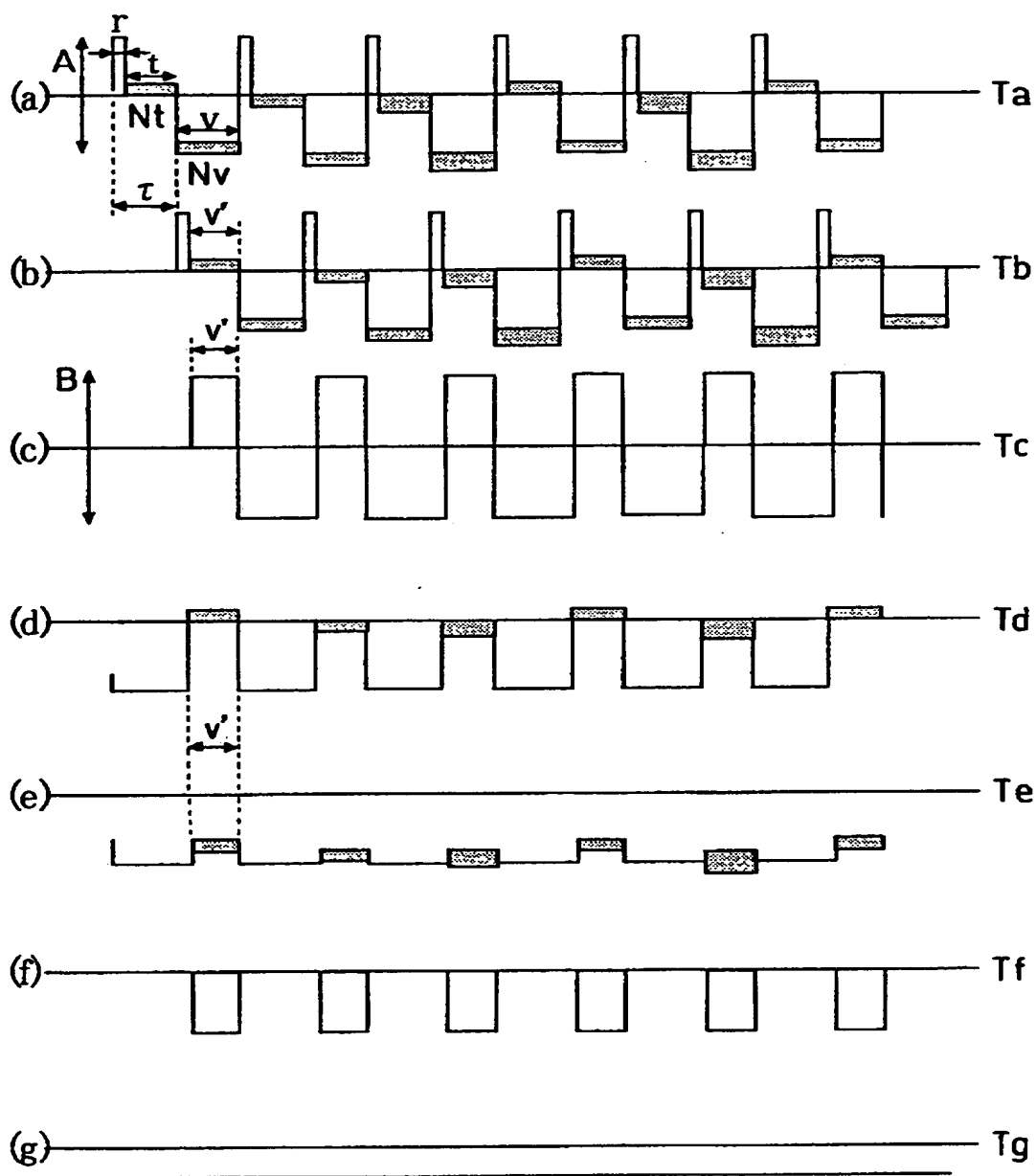
【図 2】



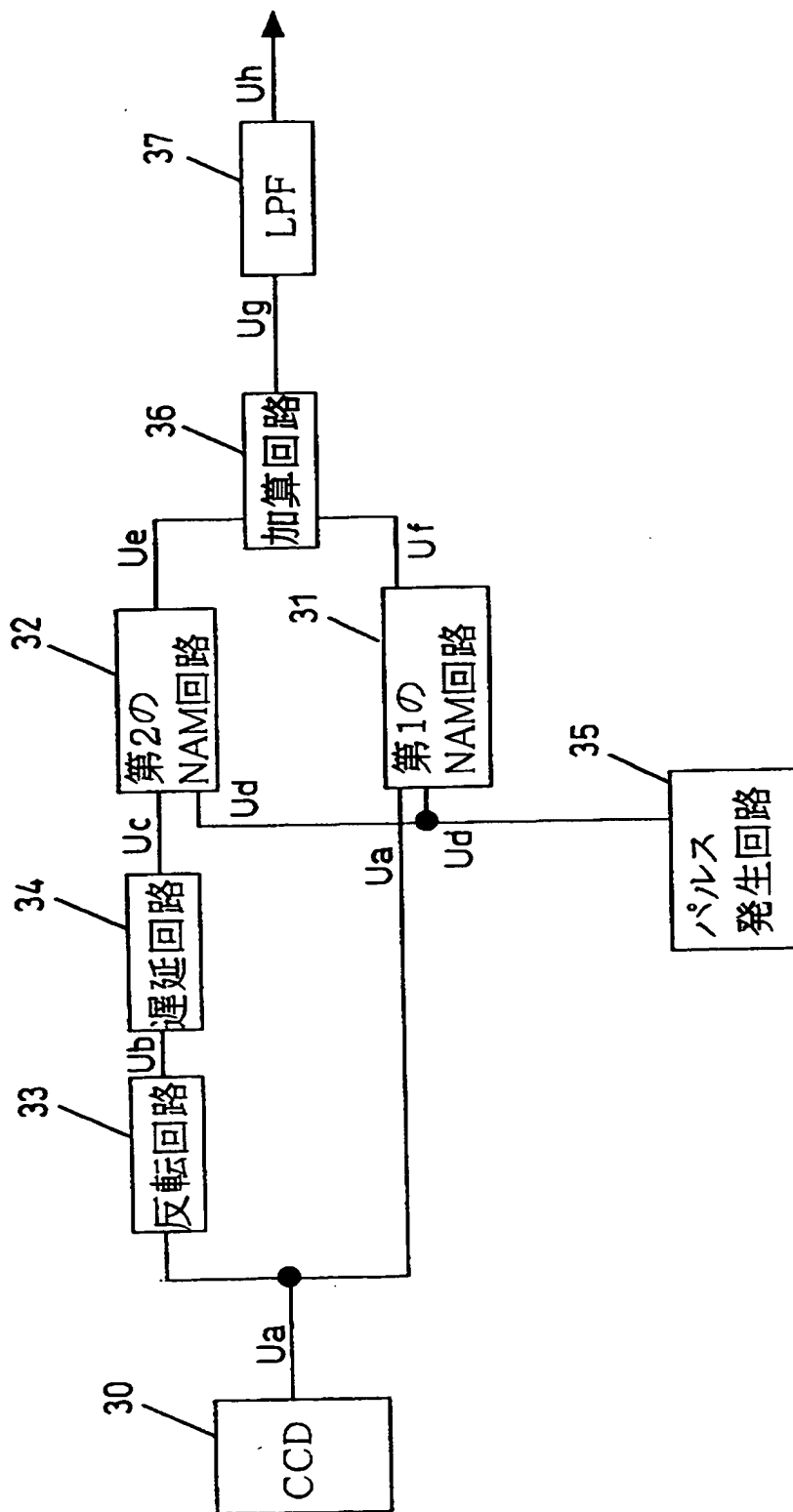
【図 3】



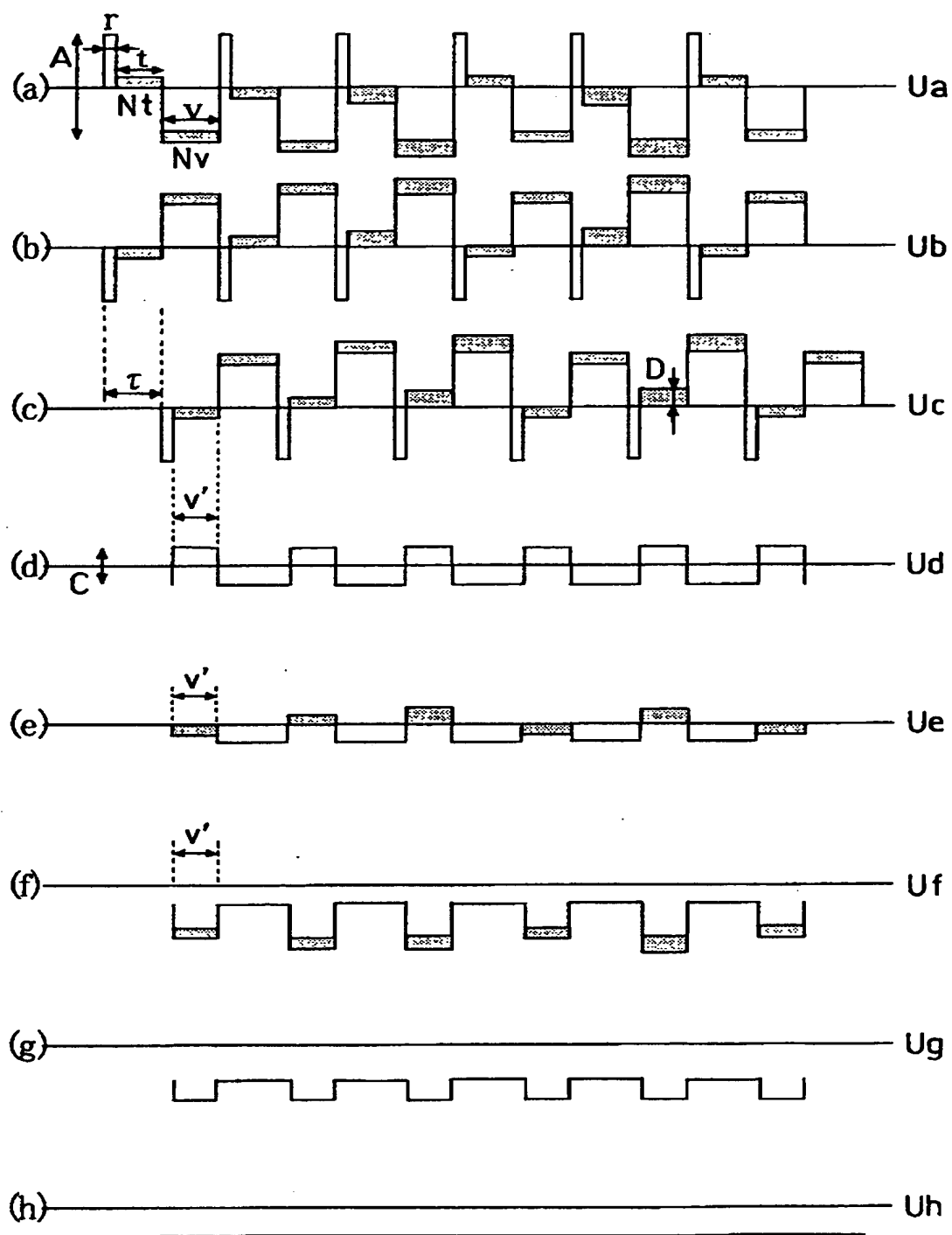
【図 4】



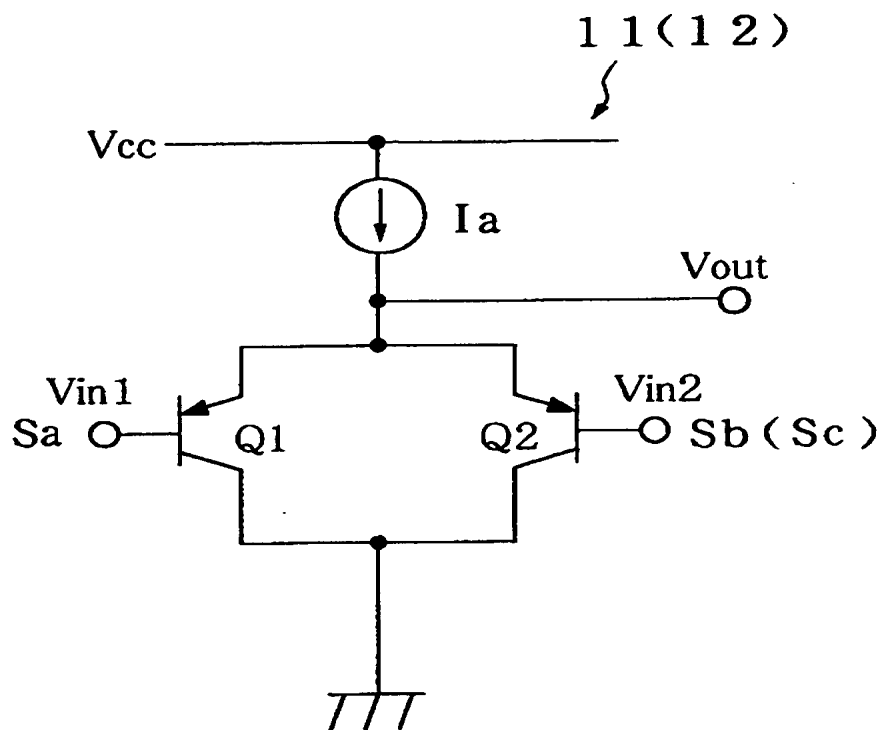
【図 5】



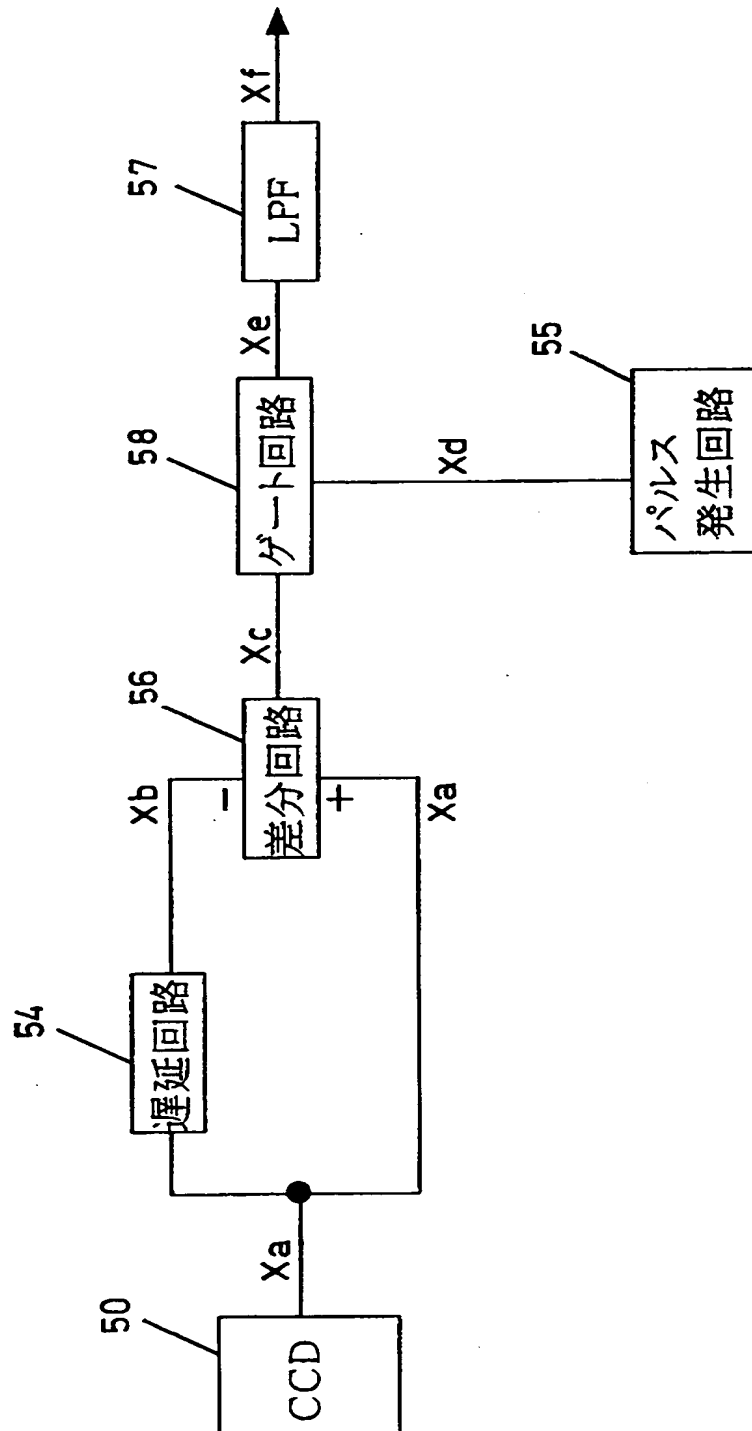
【図 6】



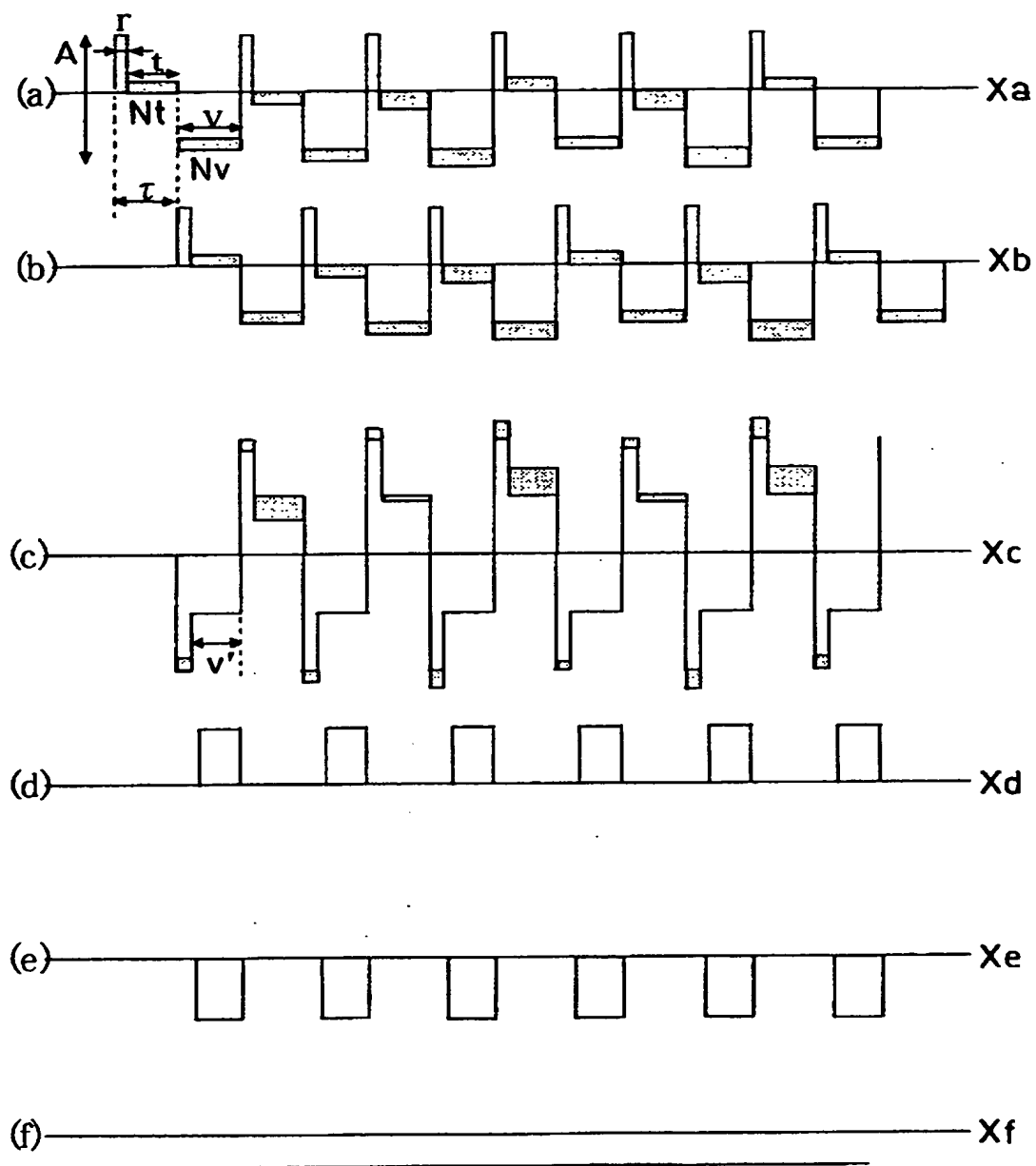
【図 7】



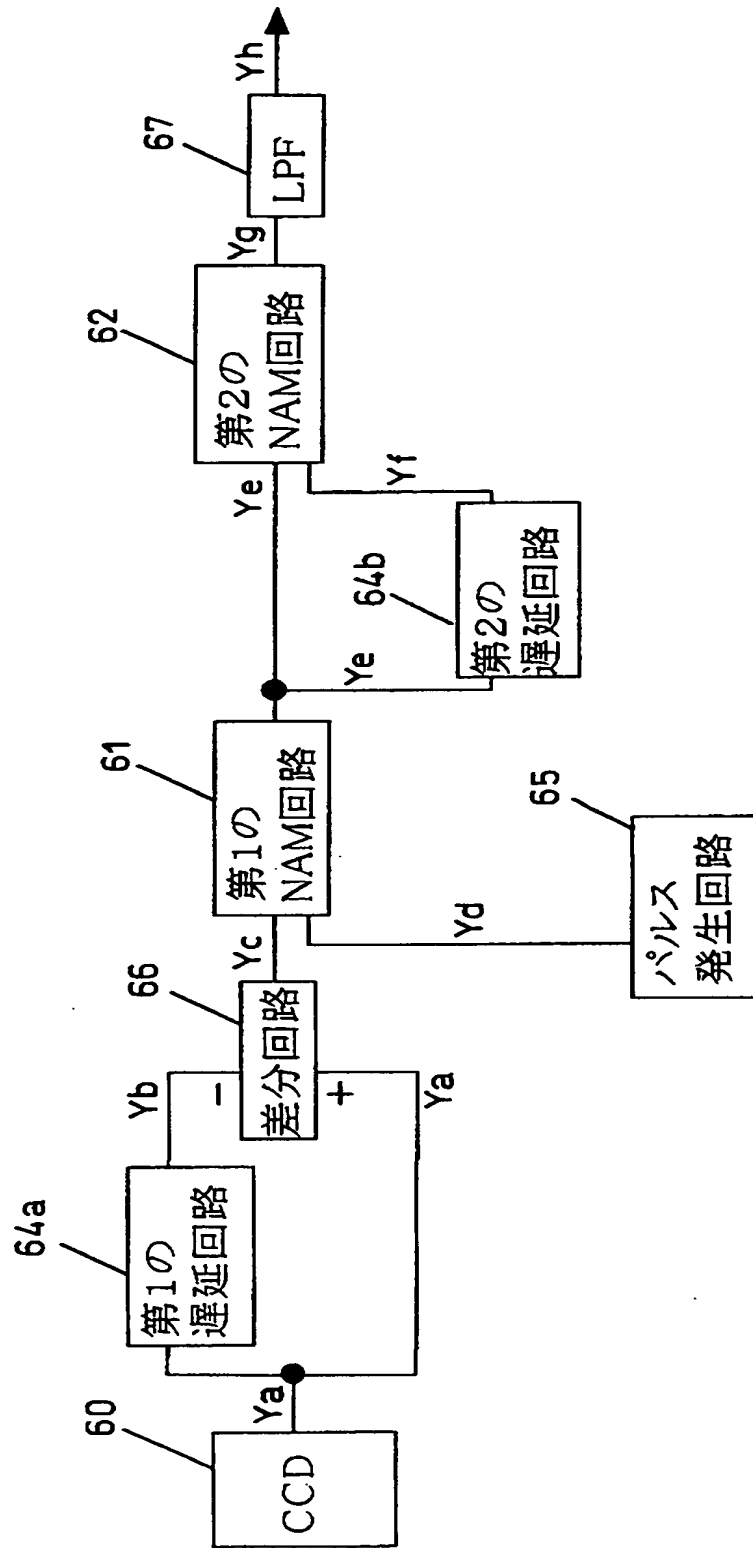
【図 8】



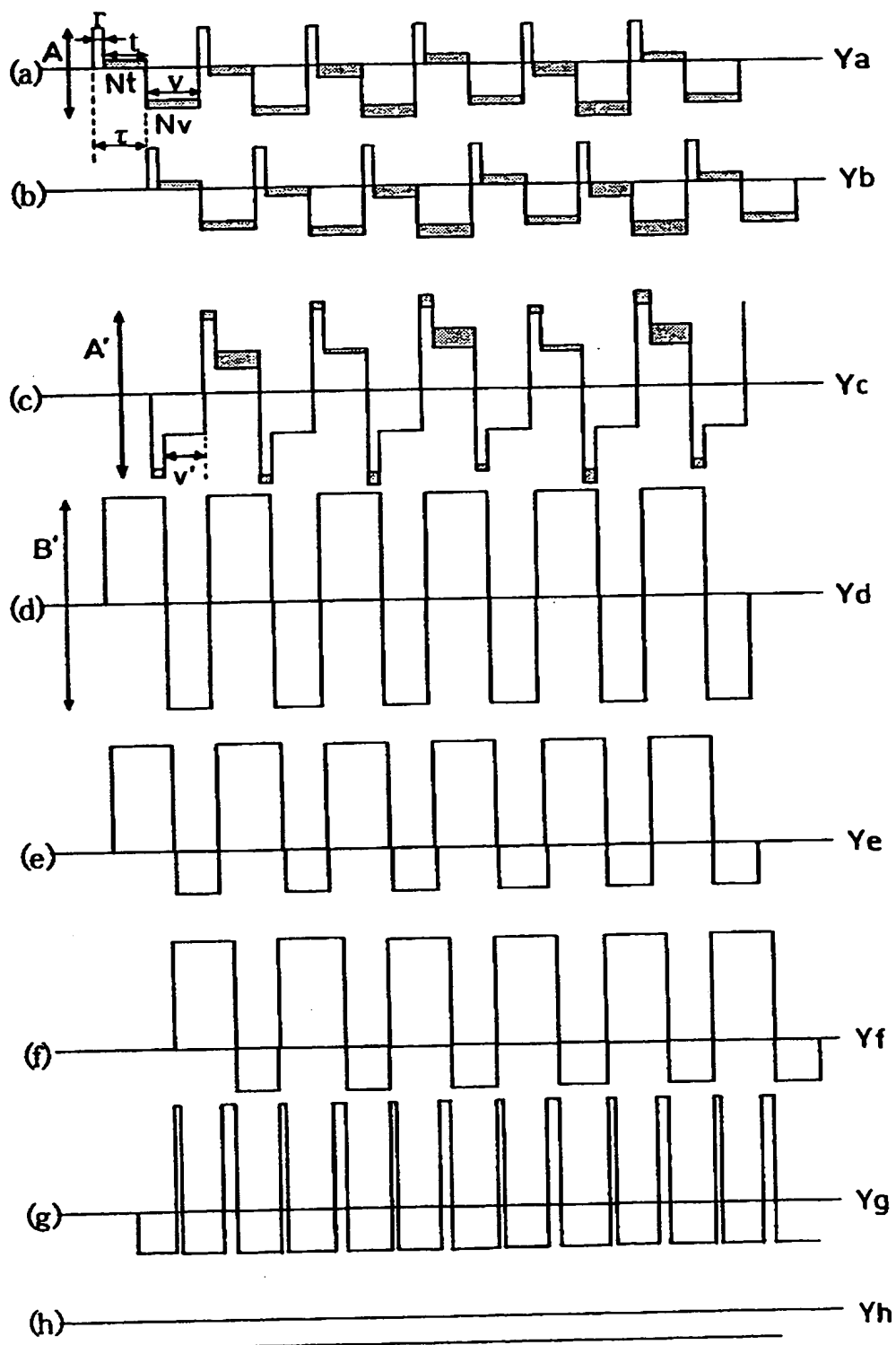
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 高解像度の電荷結合素子についても低電力で良好なノイズの低減効果が得られるノイズ低減回路を提供する。

【解決手段】 遅延回路 2 4 により CCD 2 0 の出力信号 T a を遅延させ、パルス発生回路 2 5 において CCD 出力信号 T a と同一周期でハイレベルの位相が CCD 出力信号の信号レベル期間 ν に一部重なるパルス信号 T c を出力させ、第 1 の NAM 回路 2 1 において CCD 出力信号 T a とパルス信号 T c のうちレベルがより低い方を選択させ、第 2 の NAM 回路 2 2 において遅延回路 2 4 の遅延信号 T b とパルス信号 T c のうちレベルがより低い方を選択させた上で、差分回路 2 6 において第 1 の NAM 回路 2 1 の混合信号 T e と第 2 の NAM 回路 2 2 の混合信号 T d の差をとる。遅延回路 2 4 の遅延時間 τ は、CCD 出力信号 T a の信号レベル期間 ν に対して遅延信号 T b のフィードスルーレベル期間が重なる。

【選択図】 図 3

特平 11-231420

認定・付加情報

特許出願の番号	平成11年 特許願 第231420号
受付番号	59900795702
書類名	特許願
担当官	第三担当上席 0092
作成日	平成11年 8月26日

<認定情報・付加情報>

【提出日】	平成11年 8月18日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社